

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-212951
 (43)Date of publication of application : 24.08.1990

(51)Int.Cl.

G06F 12/02

(21)Application number : 01-033424

(71)Applicant : HITACHI LTD
 HITACHI COMPUTER ELECTRON
 CO LTD

(22)Date of filing : 13.02.1989

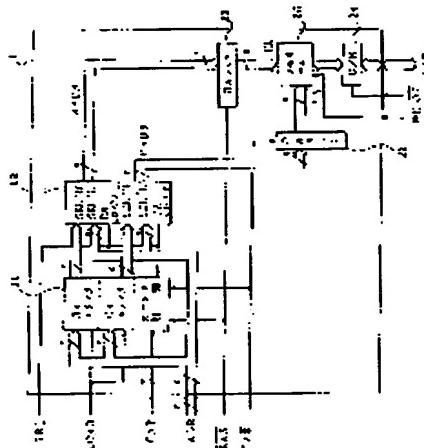
(72)Inventor : HIRATA SUNAO
 WATANABE HISAOKI

(54) MEMORY DEVICE AND DATA PROCESSING SYSTEM USING IT

(57)Abstract:

PURPOSE: To shorten an address setting time by switching the output of an address counter and an address to be time-division-transferred, and updating the contents of the address counter in conformity to a designated counting condition after memory access by the address outputted from the address counter.

CONSTITUTION: The address counter 11 to store the address to be time-division-transferred and a means 12 to switch the output of the address counter 11 and the address to be time-division-transferred are provided. Besides, the means to update the contents of the address counter in conformity to the designated counting condition after the memory access by the address outputted from the address counter 11 is provided. Then, after storing an initial value address in the address counter 11 provided in a memory device 1, the memory access by this stored address is executed. Thus, the address setting time can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A) 平2-212951

⑬ Int. Cl.⁵

G 06 F 12/02

識別記号 庁内整理番号
K 8841-5B

⑭ 公開 平成2年(1990)8月24日

審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 メモリ装置およびこれを用いるデータ処理システム

⑯ 特 願 平1-33424

⑰ 出 願 平1(1989)2月13日

⑱ 発 明 者 平 田 直 愛知県尾張旭市晴丘町池上1番地 株式会社日立製作所旭工場内

⑲ 発 明 者 渡 辺 久 起 神奈川県秦野市堀山下1番地 株式会社日立コンピュータエレクトロニクス内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 株式会社日立コンピュータエレクトロニクス 神奈川県秦野市堀山下1番地

㉒ 代 理 人 弁理士 磯村 雅俊

明細書

1. 発明の名称

メモリ装置およびこれを用いるデータ処理装置システム

2. 特許請求の範囲

1. 様数のアドレスビットを、時分割転送によりアドレス本数を減らして入力するメモリ装置において、前記時分割転送されるアドレスを格納するアドレスカウンタと、該アドレスカウンタの出力と時分割転送されるアドレスを切替える手段と、前記アドレスカウンタから出力されるアドレスによるメモリアクセス後に、指定したカウント条件に従って前記アドレスカウンタの内容を更新する手段を設けたことを特徴とするメモリ装置。

2. 前記各手段に加えて、前記アドレスカウンタの内容の更新条件を格納する手段を設けたことを特徴とする請求項1記載のメモリ装置。

3. 請求項1記載のメモリ装置と、該メモリ装置を制御するメモリ制御部、入出力装置および入

出力制御部、全体を制御する制御装置を有し、前記メモリ制御部により、前記アドレスカウンタにメモリアドレスを初期設定した後、メモリアクセスの際、前記時分割アドレス転送による通常メモリアクセスと、前記アドレスカウンタから出力されるアドレスによる高速メモリアクセスとの混在使用を可能に構成したことを特徴とするデータ処理システム。

4. 前記メモリ装置のアドレスカウンタの内容更新条件を設定する手段が、前記メモリ制御部内に設けられていることを特徴とする請求項2記載のデータ処理システム。

5. 請求項2記載のメモリ装置と、該メモリ装置を制御するメモリ制御部、入出力装置および入出力制御部、全体を制御する制御装置を有し、前記メモリ制御部により、前記アドレスカウンタにメモリアドレスを初期設定するとともに、前記アドレスカウンタの内容更新条件を初期設定した後、メモリアクセスの際、前記時分割アドレス転送による通常メモリアクセスと、前記

アドレスカウンタから出力されるアドレスによる高速メモリアクセスとの混在使用を可能に構成したことを特徴とするデータ処理システム。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ダイナミックRAMの如くアドレスを時分割で入力するメモリ装置およびこれを用いるデータ処理装置に関するもので、特にアドレス制御時間を短縮した、高速データ転送システムに用いるに好適なメモリ装置およびこのメモリ装置を用いたデータ処理システムに関するものである。

(従来の技術)

従来のこの種のメモリ装置は、例えば、特開昭61-150056号公報に開示されている如く、データ転送毎にメモリにアドレスを入力してデータのアクセスを行うものであった。この場合、メモリにダイナミックRAM(ランダム・アクセス・メモリ)を使用すると、上位アドレスと下位アドレスをロウアドレスとカラムアドレスに変換して時分割で転送する必要があった。以下、これについて、図

の目的とするところは、従来の技術における上述の如き問題を解消し、アドレス設定時間を短縮可能なメモリ装置を提供することにある。

また、本発明の他の目的は、アドレスの設定時間を短縮可能な上述のメモリ装置を用いて、データ転送を高速化可能なデータ処理システムを提供することにある。

(課題を解決するための手段)

本発明の上述の目的は、複数のアドレスビットを、時分割転送によりアドレス本数を減らして入力するメモリ装置において、上記時分割転送されるアドレスを格納するアドレスカウンタと、該アドレスカウンタの出力と時分割転送されるアドレスを切替える手段と、上記アドレスカウンタから出力されるアドレスによるメモリアクセス後に、指定したカウント条件に従って上記アドレスカウンタの内容を更新する手段を設けたことを特徴とするメモリ装置、および、上記メモリ装置と、該メモリ装置を制御するメモリ制御部、入出力装置および入出力制御部、全体を制御する制御装置を

用いて具体的に説明する。

第2図は、従来のメモリ装置の一例を示す構成図である。この装置2は、RA(ロウアドレス)ラッチ21, CA(カラムアドレス)ラッチ22, D/R(ドライバ/レシーバ)24およびメモリセル23から構成されている。このメモリ装置では、n本のRAアドレスとn本のCAアドレスとの、合計2n本のRA・CAアドレスを、n本のアドレスバスADRで時分割転送して、RAラッチ21およびCAラッチ22に、それぞれ、RAS信号およびCAS信号を用いて、二種類の異なるタイミングで格納することにより、アドレスバスの本数を1/2に削減している。

(発明が解決しようとする課題)

上記従来技術は、メモリへのアドレス設定時間を短縮するという点についての配慮がなされておらず、データ転送毎にロウアドレスとカラムアドレスを時分割に入力しなければならないため、アドレス設定に時間がかかるという問題があった。

本発明は上記事情に鑑みてなされたもので、そ

有し、上記メモリ制御部により、上記アドレスカウンタにメモリアドレスを初期設定した後、メモリアクセスの際、上記時分割アドレス転送による通常メモリアクセスと、上記アドレスカウンタから出力されるアドレスによる高速メモリアクセスとの混在使用を可能に構成したことを特徴とするデータ処理システムによって達成される。

(作用)

本発明に係るメモリ装置においては、外部から初期値アドレスをメモリ装置内に設けたアドレスカウンタに格納した後、上記メモリ装置内のアドレスカウンタに格納されたアドレスによりメモリアクセスを行うようにしたので、高速メモリアクセスが可能となる。なお、メモリアクセス後に、上記メモリ装置内のアドレスカウンタを更新するため、データ転送毎にアドレスを時分割入力する必要はない。

また、本発明に係るデータ処理システムにおいては、アドレスの設定時間を短縮可能な上述のメモリ装置と、該メモリ装置を制御するメモリ制

御部、入出力装置および入出力制御部、全体を制御する制御装置を有し、上記メモリ制御部により上記アドレスカウンタにメモリアドレスを初期設定した後、メモリアクセスの際、上記時分割アドレス転送による通常メモリアクセスと、上記アドレスカウンタから出力されるアドレスによる高速メモリアクセスとの混在使用を可能に構成したので、データ転送を高速化可能としたデータ処理システムを実現できるものである。

[実施例]

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は、本発明の一実施例であるメモリ装置の構成図である。本実施例のメモリ装置1は、先に第2図に示したRAラッチ21、CAラッチ22、D/R(ドライバ/レシーバ)24およびメモリセル23から構成されるメモリ装置2に、RA・CAカウンタ(以下、「アドレスカウンタ」ともいう)11およびRA・CAセレクタ12を付加した構成を有している。上記RA・CAカウンタ11は、後述する如

セスをも実行可能なものである。なお、上記高速メモリアクセス時には、RA・CAカウンタ11に格納してあるRA・CAアドレスが、RA・CAセレクタ12を通じてRAラッチ21およびCAラッチ22に同時に転送により格納できる。これにより、高速アクセスが可能となっているものである。

メモリ装置1におけるLOAD信号は、RA・CAカウンタ11へのアドレス初期設定制御用で、'L'のときはアドレス初期設定禁止、「H」のときはアドレス初期設定許可を行う。SEL信号は、RA・CAセレクタ12におけるアドレス切替え制御用で、「L」のときはアドレスバスADRを選択して通常アクセスを行い、「H」のときはRA・CAカウンタ11を選択して、高速アクセスを行う。また、SEL信号は、RA・CAカウンタ11のカウント許可・禁止制御を行い、「L」のときはカウント禁止、「H」のときはカウント許可を行う。

以下、上記メモリ装置1(メモリ装置2も同じ)における通常アクセス時のタイミングを、第3図(左半分)に基づいて説明する。

く、LOAD信号によりRA(ローワードレス)またはCA(コラムアドレス)を初期設定するためのRAカウンタ11a、CAカウンタ11bおよび上記RAカウンタまたはCAカウンタのカウント制御を行うカウンタ制御11cから構成されている。

また、上記RA・CAセレクタ12は、後述する如く、SEL信号によりアドレスバスADRと上記RA・CAカウンタ11の出力との切替えを行う機能を有するものである。

前述の如く、第2図に示した従来のメモリ装置2は、n本のRAアドレスとn本のCAアドレスとの、合計2n本のRA・CAアドレスを、n本のアドレスバスADRで時分割転送して、RAラッチ21およびCAラッチ22に、それぞれ、RAS信号およびCAS信号を用いて、二種類の異なるタイミングで格納することにより、アドレスバスの本数を1/2に削減している。

これに対して、本実施例に示したメモリ装置1は、上述の、従来と同様の通常のメモリアクセスばかりではなく、以下に述べる如き高速メモリアク

メモリ装置1における通常アクセス時には、LOAD信号を'L'にして、RA・CAカウンタ11への初期設定を禁止し、SEL信号を'L'にしてRA・CAセレクタ12のアドレスバスADRを選択しておく。メモリ装置1およびメモリ装置2において、RAアドレスをアドレスバスADRから入力中に、RAS信号を'H'から'L'に変化させて、RAラッチ21にRAアドレスを格納する。続いて、アドレスバスADRからCAアドレスを入力し、CAS信号を'H'から'L'に変化させて、CAラッチ22にCAアドレスを格納する。RAラッチ21、CAラッチ22に格納されたRAアドレスおよびCAアドレスにより、メモリセル23のアクセスを行う。

次に、メモリ装置1におけるRA・CAカウンタ11へのアドレス初期設定時のタイミングを、第3図(右半分)に基づいて説明する。

メモリ装置1におけるRA・CAカウンタ11へのアドレス初期設定時には、SEL信号を'L'にしてアドレスバスADRを選択し、つまり、通常

メモリアクセス状態にし、LOAD信号を'H'にして、RA・CAカウンタ11へのアドレス初期設定を許可状態にし、前記メモリ装置1の通常メモリアクセス時と同様に、アドレス初期設定情報をアドレスバスADRから時分割転送する。

メモリ装置1において、RAアドレスカウンタ初期設定情報(RAアドレス)をアドレスバスADRから入力中に、RAS信号を'H'から'L'に変化させて、RA・CAカウンタ11にRAアドレスの初期設定を行う。続いて、CAアドレスカウンタ初期設定情報(CAアドレス)をアドレスバスADRから入力し、CAS信号を'H'から'L'に変化させて、RA・CAカウンタ11にCAアドレスの初期設定を行う。

続いて、メモリ装置1におけるRA・CAカウンタ11の初期設定後に行う、RA・CAカウンタ11を用いた高速メモリアクセスの制御タイミングを、第4図に基づいて説明する。

メモリ装置1における高速メモリアクセス時には、LOAD信号を'L'にして、RA・CAカウ

ンタ11のアドレス初期設定を禁止状態とする。また、SEL信号を'H'にしてRA・CAセレクタ12でRA・CAカウンタ11を選択するとともに、RA・CAカウンタ11をカウント許可状態にしておく。

メモリ装置1において、RAS信号とCAS信号を'H'から'L'に同時に変化させて、RA・CAカウンタ11のRAアドレスおよびCAアドレスを、それぞれ、RAラッチ21およびCAラッチ22に同時に格納する。このように、RA・CAアドレスの同時格納により、アドレス制御時間が短縮でき、高速メモリアクセスが可能となる。

次に、RAS信号とCAS信号が'L'から'H'に変化するとき、RA・CAカウンタ11は、CNT信号の指定に従って、カウント動作を行う。このCNT信号によりUP/DOWNのカウント動作を指定できる。また、CNT信号の本数(m)を増加させることにより、飛び越しカウント等の各種カウント指定が可能となる。

なお、メモリ装置1およびメモリ装置2のDA

TA信号は、メモリセルとデータの入出力をためのデータバス、WE信号はデータの書き込みを許可する信号、また、OE信号はデータの読み出しを許可する信号である。

上記実施例に示したメモリ装置によれば、外部から初期値アドレスをメモリ装置内に設けたアドレスカウンタに格納した後、上記メモリ装置内のアドレスカウンタに格納されたアドレスによりメモリアクセスを行うようにしたので、高速メモリアクセスが可能となるという効果がある。

第6図は、前述の従来のメモリ装置2の使用例を示すものであり、プログラム制御によるメモリアクセス(以下、「PIO制御」という)に使用するPIOアドレス3、ハードウェア制御によるメモリアクセス(以下、「DMA制御」という)に使用するDMAアドレス4、RA・CAセレクタ5およびメモリ装置2から構成されている。また、第5図は、前述の本発明の特徴を有するメモリ装置1の使用例を示すものであり、PIOアドレス3、RA・CAセレクタ5およびメモリ装置1から構

成されている。

メモリ装置2を使用した、従来の例では、メモリ装置2にPIOアドレス3またはDMAアドレス4から出力されるRAアドレスとCAアドレスを時分割転送するため、RA・CAセレクタ5でRAアドレスとCAアドレスの切替えをRCSEL信号によって行い、RA・CA時分割転送アドレスADRを作っていた。メモリ装置2へ転送されたRA・CAアドレスADRは、RAS信号およびCAS信号を使用して、前記第3図のタイミングでメモリ装置2内部へ格納される。

これに対して、メモリ装置1を使用した第5図の例では、メモリ装置1にPIOアドレス3から出力される通常メモリアクセス用のRAアドレスとCAアドレス、または、メモリ装置1内部のRA・CAカウンタ11の初期設定用RAアドレスとCAアドレスを時分割転送するため、RA・CAセレクタ5で、RAアドレスとCAアドレスの切替えをRCSEL信号によって行い、RA・CA時分割転送アドレスADRを作る。メモリ装置1

へ転送された上記RA・CA時分割転送アドレスADRは、SEL信号、LOAD信号、RAS信号、CAS信号を使用し、前記第3図のタイミングで、メモリ装置1内部に格納される。

PIOアドレス3がランダムに変化するのに対し、DMAアドレス4は規則的に変化するため、初期設定後は、カウント動作により更新することができる。そのため、メモリ装置1を使用することにより、第6図のDMAアドレス4を、第5図のメモリ装置1内のRA・CAカウンタ11により持つことができる。高速メモリアクセスを行うDMA転送時には、DMAアドレスをメモリ装置1の外部から時分割で入力する必要がなく、第4図のタイミングにより、アドレス制御の高速化が可能となる。

通常、メモリ装置は、PIO制御とDMA制御を時分割に混在させて使用する。また、DMAアドレスを作成するDMAアドレスカウンタは、DMAアクセス時には更新されるが、PIOアクセス時には変化させない。そのため、メモリ装置1

カウンタを使用する高速メモリアクセス時には、アドレス分割の影響を受けないため、高速メモリアクセスが可能である。

第1図に示したメモリ装置1では、アドレスカウンタを一つ持った例を示しているが、アドレスカウンタを増やすことにより、別々のアドレスで高速メモリアクセスが可能になる。

第7図は、上述の如き特徴を有するメモリ装置1を使用した高速DMA内蔵システムの構成図である。本システムは、メモリ装置1の他、CPU6、I/Oアダプタ(I/OA)7、I/O装置8およびメモリコントローラ(MMC)9から構成されている。なお、上記MMC9は、前述のRA・CAセレクタ5、メモリ(MEM)制御部91、DMA制御部92から構成されている。

上記CPU6とIOA7、MMC9は、アドレスバス、コントロールバスおよびデータバスから成るシステムバスにより接続されている。また、メモリ装置1は、上記MMC9と、ADR、LOAD、RAS、CAS、WE、OE、CNTおよ

び、SEL信号を用いて、DMA制御の高速メモリアクセスを行うときには、RA・CAカウンタ11のカウントを許可し、PIO制御の通常メモリアクセスを行うときには、RA・CAカウンタ11のカウントを禁止している。

なお、第1図に示したメモリ装置1は、高速メモリアクセス時、RAS信号とCAS信号を同時変化させているが、SEL信号'H'の状態において、RAS信号またはCAS信号のいずれか片方のみを変化させ、メモリ装置1内でRAS信号とCAS信号の同時変化信号を作成することも可能である。

また、第1図に示したメモリ装置1は、アドレスバスADRをRAアドレスとCAアドレスとの二つに分割することによってアドレス本数を半分にしているが、アドレス分割を増やすことにより更にアドレス本数を減らすことはできる。但し、通常メモリアクセス時には、アドレスの時分割転送回数が増加するため、メモリアクセス時間が遅くなる。これに対し、メモリ装置1内のアドレス

びSELから成る制御信号により接続され、システムバスとはデータバスにより接続されている。

本システムにおけるメモリ装置1に対するデータ転送は、CPU6が、プログラム制御を用いて行うPIO制御と、IOA7の要求によりメモリ制御を行なうDMA制御とがある。PIO制御によるメモリ装置1に対するデータ転送の場合は、CPU6がアドレスバスによりメモリアドレスをMMC9内のRA・CAセレクタ5に出力した状態で、コントロールバスによりメモリのリードまたはライト信号を、MMC9内のMEM制御部91およびDMA制御部92に出力する。

MEM制御部91では、メモリのリードまたはライト信号を基に、RCSEL、RAS、CAS、WEおよびOE信号を作成し、RA・CAセレクタ5およびメモリ装置1の制御を行う。また、DMA制御部92では、SEL信号を'L'にして、通常メモリアクセスを行う。RA・CAセレクタ5は、上記RCSEL信号によりRAアドレス、CAアドレスの切替えを行う。メモリ装置1の通常

メモリアクセス動作は、第3図に示した通常のアクセスタイミングの通りである。

なお、DMA制御を行うためには、メモリ装置1内のRA・CAカウンタ11への初期設定が必要であり、RA・CAカウンタ11への初期設定はPIO制御を使用する。PIO制御によりMEM制御部91のLOAD信号を'H'にする。LOAD信号が'H'の状態で、PIO制御によるメモリ装置1に対するデータ転送を行うことにより、メモリ装置1内のRA・CAカウンタ11に初期アドレスを設定する。この場合のメモリ装置1の動作は、第3図のカウンタへのアドレスロードタイミングの通りである。初期アドレス設定後、PIO制御によりLOAD信号を'L'にする。LOAD信号が'L'になった後、CPU6はPIO制御によりI/Oアダプタ7に対してI/O装置8の制御を起動する。

I/Oアダプタ7は、I/O装置8とデータ転送が必要になったとき、MMC9内のDMA制御部92に対し、DREQ信号によりDMA転送を要求

する。DMA制御部92は、DREQ信号を受取ると、コントロールバスによりCPU6に対し、システムバスの使用権を要求する。DMA制御部92は、CPU6からシステムバスの使用権を受けると、I/Oアダプタ7へDACK信号で応答し、MEM制御部91に対してメモリ制御信号の出力を要求するとともに、SEL信号を'H'にして、メモリ装置1内のRA・CAセレクタ12を、RA・CAカウンタ11入力側に切替えて、RA・CAカウンタ11のアドレスにより高速メモリアクセスを行う。DMA制御部92は、高速メモリアクセス終了後、CNT信号によりRA・CAカウンタ11のカウント動作を行わせる。

高速メモリアクセス動作は第4図に示す通りであり、この動作をデータ転送要求毎に繰り返す。

第7図に示した高速DMA内蔵システムにおいては、アドレスカウント条件を決定するCNT信号をMMC9内のDMA制御部92に設けて、メモリ装置1に出力するようしているが、第8図に示したシステムにおいては、メモリ装置10内にカ

ウント条件13を設けて、データバスからの情報によりカウント条件を設定し、CNT信号を不要としたものである。本システムの基本動作は、第7図に示したシステムと同様であるが、カウント条件の設定は、RA・CAカウンタ11に初期アドレス設定時のPIO制御で行う。すなわち、LOAD信号が'H'の状態で、PIO制御によるメモリ装置10に対するデータ転送を行うことにより、メモリ装置10内のRA・CAカウンタ11にアドレスバスADRから初期アドレスを設定し、データバスDATAからカウント条件の設定を行う。

上記実施例はいずれも一例として示したものであり、本発明はこれらに限定されるべきものではないことは、言うまでもないことである。

〔発明の効果〕

以上述べた如く、本発明によれば、複数のアドレスビットを、時分割転送によりアドレス本数を減らして入力するメモリ装置において、前記時分割転送されるアドレスを格納するアドレスカウンタと、該アドレスカウンタの出力と時分割転送さ

れるアドレスを切替える手段と、前記アドレスカウンタから出力されるアドレスによるメモリアクセス後に、指定したカウント条件に従って前記アドレスカウンタの内容を更新する手段を設けたので、アドレス設定時間を短縮可能としたメモリ装置を実現できるという頗著な効果を奏するものである。また、上記メモリ装置と、該メモリ装置を制御するメモリ制御部、入出力装置および入出力制御部、全体を制御する制御装置を有し、上記メモリ制御部により、上記アドレスカウンタにメモリアドレスを初期設定した後、メモリアクセスの際、上記時分割アドレス転送による通常メモリアクセスと、上記アドレスカウンタから出力されるアドレスによる高速メモリアクセスとの混在使用を可能に構成することにより、データ転送を高速化可能としたデータ処理システムを実現できるという効果を奏するものである。

4. 図面の簡単な説明

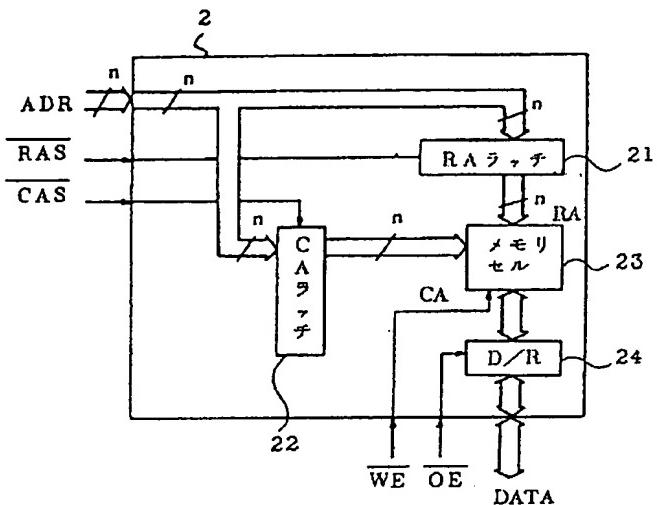
第1図は本発明の一実施例であるメモリ装置の構成図、第2図は従来のメモリ装置の構成図、第

3図は通常アクセス時のタイミングを示す図、第4図は高速メモリアクセスの制御タイミングを示す図、第5図は実施例のメモリ装置の使用例を示す図、第6図は従来のメモリ装置の使用例を示す図、第7図、第8図は実施例のメモリ装置を使用した高速DMA内蔵システムの構成図である。

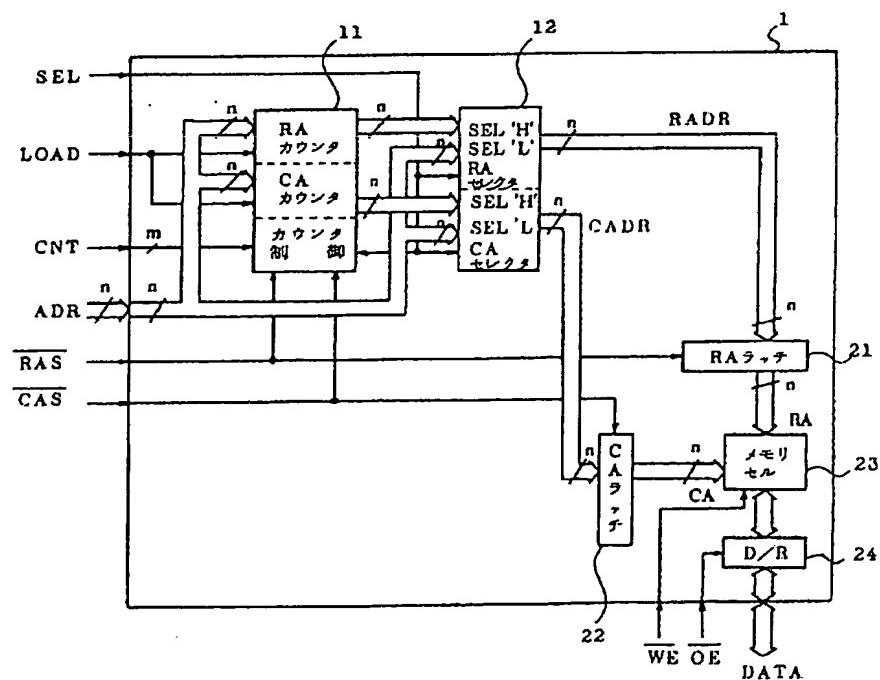
1,10: メモリ装置、11: RA・CAカウンタ(アドレスカウンタ)、12: RA・CAセレクタ、21: RAラッチ、22: CAラッチ、23: メモリセル、24: D/R、3: PIOアドレス、5: RA・CAセレクタ、6: CPU、7: I/Oアダプタ、8: I/O装置、9: MMC、91: MEM制御部、92: DMA制御部。

代理人弁理士 駒村雅俊

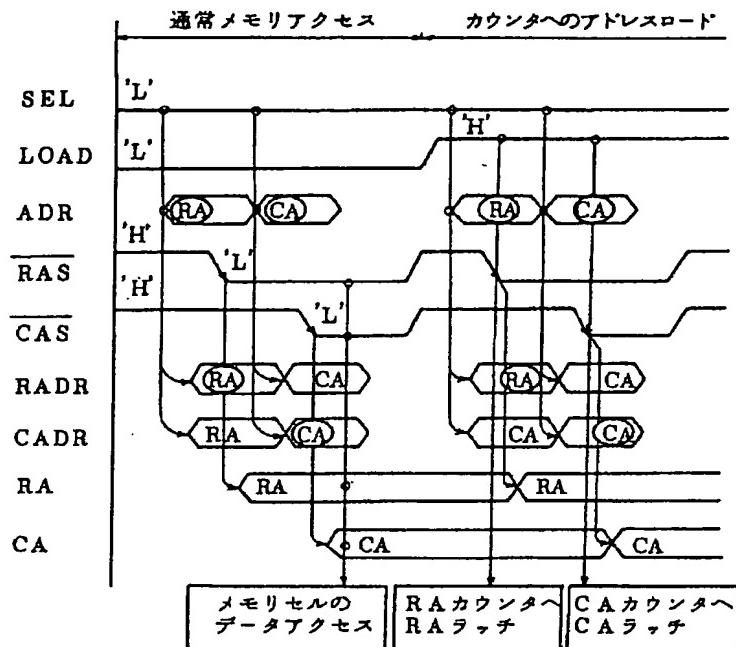
第 2 図



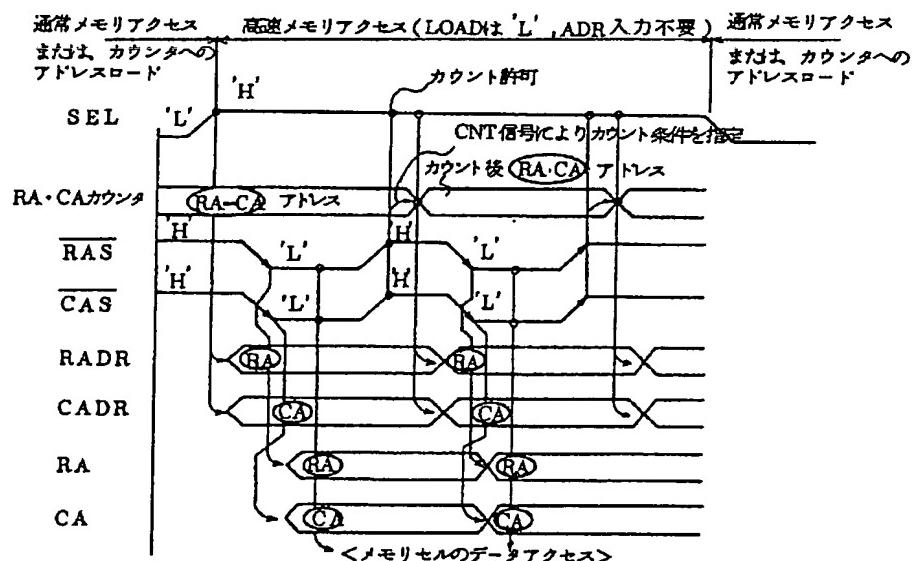
第 1 図



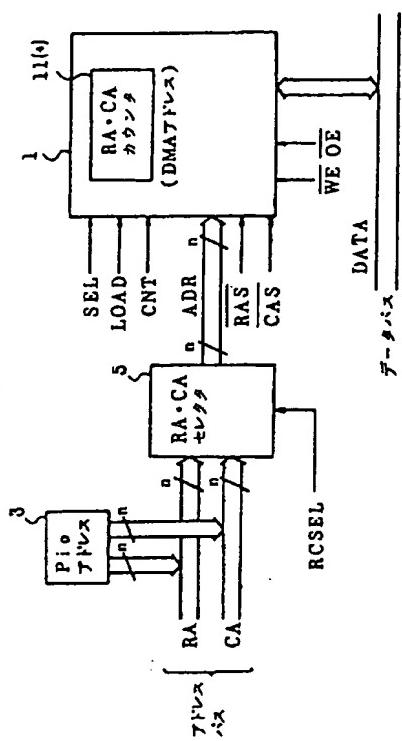
第 3 図



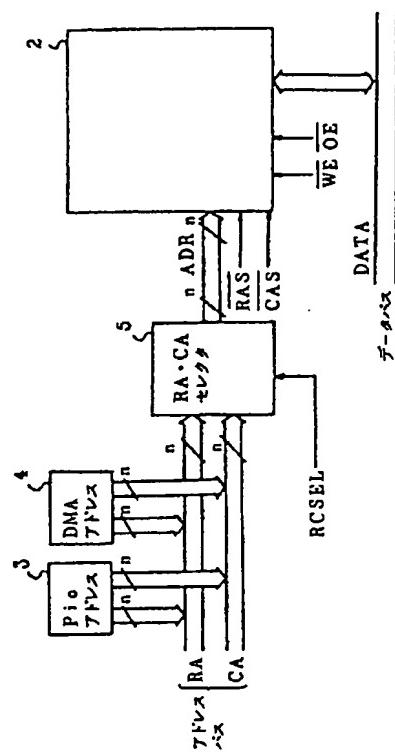
第 4 図



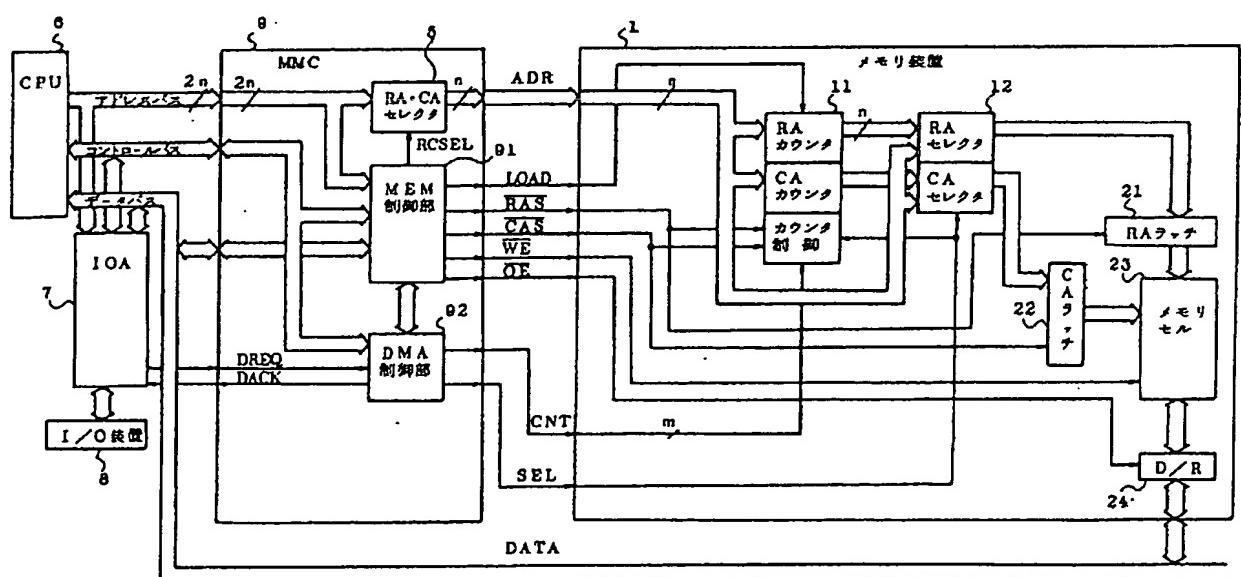
第5図



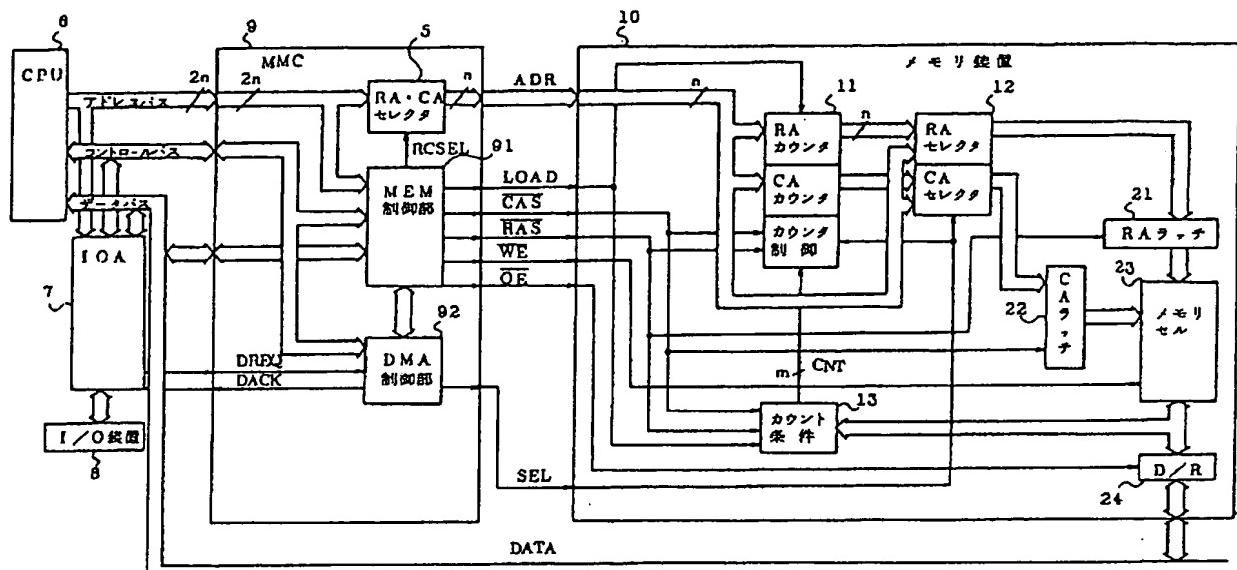
第6図



第7図



第8図



手続補正書(方式)

平成元年6月29日

特許庁員官 古田文毅殿



1. 事件の表示

平成1年特許第33424号

(1)明細書第1頁の「発明の名称」を、次のように補正する。

「メモリ装置およびこれを用いるデータ処理システム」

2. 発明の名称

メモリ装置およびこれを用いるデータ処理システム

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区神田駿河台四丁目6番地
 (510)株式会社 日立製作所
 氏名(名称) 代表者 三田勝成(ほか1名)

4. 代理人

住所 東京都新宿区西新宿1丁目18番15号
 中仲ビル7階 電話(03)348-5035
 氏名 (7727)弁理士 磐村雅俊

5. 補正命令の日付 平成1年5月15日(発送日)1,5,30

6. 補正により増加する発明の数 なし

7. 補正の対象 明細書の「発明の名称」の削除

8. 補正の内容 別紙の通り

